

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC971 U.S. PTO  
10/055901  
01/28/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月26日

出 願 番 号

Application Number:

特願2001-130149

出 願 人

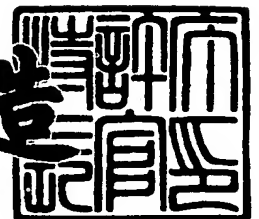
Applicant(s):

富士通株式会社

2001年10月26日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3094878

【書類名】 特許願

【整理番号】 0140306

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335  
H01L 27/146

【発明の名称】 X Y アドレス型固体撮像装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 國分 政利

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山本 克義

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 鷺戸 真也

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 船越 純

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 土屋 主税

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905855

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 X Y アドレス型固体撮像装置

【特許請求の範囲】

【請求項 1】

複数の水平選択線と垂直選択線とで画定される領域にマトリクス状に配列され、入射光を光電変換する光電変換素子と、前記光電変換素子に蓄積された電荷を画像データに変換する増幅器と、所定の前記水平選択線に出力された水平選択信号に基づいて前記画像データを所定の前記垂直選択線に出力する水平選択スイッチとをそれぞれ備えた複数の画素領域と、

前記複数の画素領域の少なくとも 2 つから出力される前記画像データを平均化処理する画像平均化回路と

を有することを特徴とする X Y アドレス型固体撮像装置。

【請求項 2】

請求項 1 記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記所定の水平選択線上にある前記複数の画素領域の前記画像データを平均化処理すること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 3】

請求項 1 又は 2 に記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記所定の垂直選択線上にある前記複数の画素領域の前記画像データを平均化処理すること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において

前記画像データに重畳するノイズを除去するノイズキャンセル回路をさらに有し、

前記画像平均化回路は、前記ノイズキャンセル回路内に配置されていることを特徴とする X Y アドレス型固体撮像装置。

【請求項 5】

請求項 4 記載の X Y アドレス型固体撮像装置において、

前記ノイズキャンセル回路は、ノイズ除去後の前記画像データに対応する電荷を第 1 の容量に保持する相関二重サンプリング回路を前記垂直選択線毎に有していること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 6】

請求項 5 記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、複数の前記第 1 の容量を接続して複数の前記電荷を平均化する第 1 の平均化処理用スイッチを有していること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 7】

請求項 4 乃至 6 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において

前記画像平均化回路は、前記第 1 の容量に並列に挿入された第 2 の容量を前記相関二重サンプリング回路内に有していること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 8】

請求項 7 記載の X Y アドレス型固体撮像装置において、

前記第 2 の容量は、前記相関二重サンプリング回路内に設けられたアンプの入力側又は出力側の容量であること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 9】

請求項 7 又は 8 に記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記第 2 の容量を前記相関二重サンプリング回路から電氣的に接続／切断する第 2 の平均化処理用スイッチを有していること

を特徴とする X Y アドレス型固体撮像装置。

【請求項 10】

請求項 9 記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記第1の容量を前記相関二重サンプリング回路から電氣的に接続／切断する第3の平均化处理用スイッチを有していることを特徴とするXYアドレス型固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子で構成された固体撮像装置に関し、特に、CMOSプロセスで製造されるXYアドレス型固体撮像装置に関する。

【0002】

【従来の技術】

固体撮像装置は大別して、電荷転送型イメージセンサで構成されたCCD (Charge Coupled Device) 固体撮像装置と、例えばCMOS (相補型金属酸化物半導体) トランジスタでイメージセンサを構成したXYアドレス型固体撮像装置とがある。CMOSイメージセンサを用いたXYアドレス型固体撮像装置 (以下、適宜、CMOSイメージセンサと略称する) はMOSFETの製造プロセスと同一の技術で製造することができ、また単一電源で駆動して消費電力も小さく、さらに各種信号処理回路を同一チップ上に搭載できることから、CCD固体撮像装置に代わるものとして有望視されている。

【0003】

【発明が解決しようとする課題】

CMOSイメージセンサは、複数の垂直選択線と水平選択線とでマトリクス状に画定された複数の画素領域を有し、各画素領域にはフォトダイオード等の光電変換素子が形成されている。各光電変換素子の受光面に入射した光は光電変換されて素子内に電荷が蓄積される。蓄積された電荷は画素内に設けられたソースフォロワンプ等で電圧に変換されて増幅され、当該電圧が1画素の画像データとして所定のタイミングで読み出されるようになっている。

【0004】

CMOSイメージセンサの使用形態として、例えば意図的に粗い表示分解能を得るため、近隣画素の画像データを平均化处理して画像データ数を減らす処理を

施す場合がある。画像平均化処理は、CMOSイメージセンサから出力された各画素のアナログの画像データをA/D（アナログ／デジタル）コンバータを用いてデジタルデータに変換し、一旦記憶装置に格納した後に論理処理を用いて近隣画素同士の画像データを平均化する。

## 【0005】

ところが、上記従来の画像平均化処理では以下のような問題を生じる。図11は、CMOSイメージセンサの受光面の画素配列を模式的に示している。各画素は三原色R（赤）、G（緑）、B（青）のいずれかに対応付けられている。例えば図11に示す画素配列では、奇数行（水平方向）では左から右に順にR、G、R、G、・・・のように画素が並び、偶数行は同様にして順にG、B、G、B、・・・のように画素が並ぶ。従って、図中破線で囲まれた $4 \times 4 = 16$ 画素からR同士、G同士、B同士の画像信号を平均化したR、G、B各1画素を得ようとする、上述のような画像平均化処理では論理処理が極めて複雑になるだけでなく、画像データを記憶する記憶装置の容量が大きくなってしまう。このため、画像平均化回路をCMOSイメージセンサと同一チップ内に収めようとする、チップ面積が大幅に増加してしまうと共に製造コストが高くなってしまいう問題が生じる。

## 【0006】

本発明の目的は、チップ面積が増大せず、且つ製造コストを抑えて画像平均化処理のできるXYアドレス型固体撮像装置を提供することにある。

## 【0007】

## 【課題を解決するための手段】

上記目的は、複数の水平選択線と垂直選択線とで画定される領域にマトリクス状に配列され、入射光を光電変換する光電変換素子と、前記光電変換素子に蓄積された電荷を画像データに変換する増幅器と、所定の前記水平選択線に出力された水平選択信号に基づいて前記画像データを所定の前記垂直選択線に出力する水平選択スイッチとをそれぞれ備えた複数の画素領域と、前記複数の画素領域の少なくとも2つから出力される前記画像データを平均化処理する画像平均化回路とを有することを特徴とするXYアドレス型固体撮像装置によって達成される。

【 0 0 0 8 】

## 【発明の実施の形態】

## 〔第 1 の実施の形態〕

本発明の第 1 の実施の形態による X Y アドレス型固体撮像装置について図 1 乃至図 3 を用いて説明する。まず、本実施の形態による X Y アドレス型固体撮像装置である CMOS イメージセンサの概略の構成を図 1 を用いて説明する。図 1 は、 $m$  行  $n$  列の画素配列を有する CMOS イメージセンサ 1 の  $4 \times 4$  画素分の回路例を示している。複数の垂直選択線  $CL1 \sim CL4$  と水平選択線  $RW1 \sim RW4$  とで画定された画素領域  $P11 \sim P44$  がマトリクス状に配列されている。各画素領域  $P11 \sim P44$  には光電変換素子としてフォトダイオード 10 が形成されている。光電変換素子はフォトダイオード 10 に代えて例えばフォトゲートを用いてもよい。

【 0 0 0 9 】

CMOS イメージセンサ 1 は、各画素領域  $P11 \sim P44$  に例えば MOSFET (本実施形態では  $n\text{-ch}$  ( $n$  チャネル) MOSFET を例示している) で構成されるソースフォロワアンプ 14 や水平選択トランジスタ 16 等が配置された APS (Active Pixel Sensor) 構成を有している。

以下、行番号を  $m$  とし、列番号を  $n$  として画素領域  $Pmn$  の回路構成について説明する。画素領域  $Pmn$  内のフォトダイオード 10 のカソード側は、例えば  $n\text{-ch}$  MOSFET のリセットトランジスタ 12 のソース電極及びソースフォロワアンプ 14 のゲート電極に接続されている。

【 0 0 1 0 】

各リセットトランジスタ 12 のドレイン電極は、リセット電圧  $VR$  が印加されるリセット電圧供給線  $VRm$  に接続され、ゲート電極はリセット信号線  $RSTm$  に接続されている。ソースフォロワアンプ 14 のドレイン電極はリセット電圧供給線  $VRm$  に接続され、ソース電極は例えば  $n\text{-ch}$  MOSFET の水平選択トランジスタ 16 のドレイン電極に接続されている。各水平選択トランジスタ 16 のゲート電極は選択信号が供給される水平選択線  $RWm$  に接続されている。各水平選択トランジスタ 16 のソース電極は垂直選択線  $CLn$  に接続されている。



## 【0011】

リセット電圧供給線VR<sub>m</sub>及び水平選択線RW<sub>m</sub>は、垂直走査シフトレジスタ／リセット制御回路4に接続されている。垂直走査シフトレジスタ／リセット制御回路4内に設けられた不図示のシフトレジスタにより、所定のタイミングで水平選択線RW<sub>m</sub>に順次選択信号が出力されるようになっている。

## 【0012】

各垂直選択線CL<sub>n</sub>は、それぞれアンプ／ノイズキャンセル回路6と例えばn-<sub>ch</sub>MOSFETの列選択トランジスタ20とを介して信号共通出力線30に接続されている。アンプ／ノイズキャンセル回路6の構成については図2を用いて後程説明する。列選択トランジスタ20のゲート電極には、水平走査シフトレジスタ8から列選択信号が所定タイミングで順次入力され、アンプ／ノイズキャンセル回路6により固定パターン雑音の除去された画像データが順次信号共通出力線30に出力され、アンプ32を介して外部システムに送出されるようになっている。

## 【0013】

次に、本CMOSイメージセンサ1の動作について簡単に説明する。まず、リセット信号RSTによりリセットトランジスタ12が所定のタイミングでオンになると、フォトダイオード10がリセット電位VRに充電される。次いで光の入射に伴いフォトダイオード10の放電が始まり、リセット電位VRより電位が低下する。所定時間の経過後に水平選択信号RWが水平選択線RW<sub>m</sub>に出力されると当該水平選択線RW<sub>m</sub>に接続された水平選択トランジスタ16のゲート電極に当該水平選択信号RWが入力して水平選択トランジスタ16がオンになる。これによりソースフォロワアンプ14からの出力電圧が画素領域P<sub>m</sub><sub>n</sub>の画像データとして垂直選択線CL<sub>n</sub>に出力される。

## 【0014】

ところで、フォトダイオード10等の電荷蓄積容量とソースフォロワアンプ14等の増幅器を搭載したAPS構成では、同一信号に対してVT（しきい値電圧）のバラツキ等によりDC出力レベルが変動する固定パターン雑音（Fixed Pattern Noise；FPN）が発生して画質が劣化してしまう問題を

有している。このFPNを低減させるため、画像データの信号電圧をサンプリングしてからフォトダイオード10をリセット電位VRにリセットし、リセット電圧をサンプリングして信号電圧とリセット電圧の差を求め、FPN成分をキャンセルする相関二重サンプリング (Correlated Double Sampling; CDS) 回路等がノイズキャンセル回路として用いられている。

## 【0015】

ここで、相関二重サンプリング回路について簡単に説明する。図2は、垂直選択線CL1に接続されたサンプルホールド回路及び相関二重サンプリング回路の構成を示している。図2において、図中左側の破線で示したブロックは、垂直選択線CL1に接続された複数の画素のうち例示として図1左上の画素領域P11を示している。図中右側の破線で示したブロックは、サンプルホールド回路及び相関二重サンプリング回路を示している。サンプルホールド回路には垂直選択線CL1に出力された信号の入力を制御するサンプルホールド用スイッチ42が設けられている。サンプルホールド用スイッチ42の入力側と垂直選択線CL1との接続点には定電流源40が接続されている。サンプルホールド用スイッチ42の出力側には、垂直選択線CL1に出力された信号を保持するサンプルホールド用容量44の一電極側が接続されている。サンプルホールド用容量44の他電極側には基準電圧源46が接続されている。

## 【0016】

サンプルホールド用スイッチ42とサンプルホールド用容量44の接続点には相関二重サンプリング回路を構成するアンプ48の入力端子が接続されている。アンプ48の出力端子は相関二重サンプリング回路のCDS用容量50の一電極側に接続され、CDS用容量50の他電極側はアンプ54の入力端子に接続されている。

## 【0017】

また、CDS用容量50の他電極側は、クランプスイッチ52を介してサンプルホールド用容量44の他電極側に接続されている。クランプスイッチ52を閉じることによりCDS用容量50の他電極側を基準電圧源46の基準電圧に固定し、クランプスイッチ52を開けることによりCDS用容量50をフローティン

グ状態にさせることができるようになっている。アンプ54の出力端子は列選択トランジスタ20を介して信号共通出力線30に接続されている。

## 【0018】

次に、サンプルホールド回路及び相関二重サンプリング回路の動作について図2を用いて説明する。まず、画素領域P11から出力される信号の流れについて簡単に説明する。水平選択トランジスタ16のゲート電極に水平選択信号RW1が入力すると、画素領域P11のフォトダイオード10により蓄積された電荷量に応じたソースフォロワアンプ14の電圧変動が画像データを含む信号電圧VSとして垂直選択線CL1に出力される。次いで、水平選択トランジスタ16がオン状態を維持したままリセットトランジスタ12のゲート電極にリセット信号RSTを入力してリセットトランジスタ12をオン状態にさせ、フォトダイオード10をリセット電位VRにリセットすると共にリセット電圧VRを垂直選択線CL1に出力する。以上の動作は、水平ブランキング期間に行われる。

## 【0019】

上記の信号の流れにおいて、例えば、水平選択信号RW1が入力されて水平選択トランジスタ16がオン状態になるのに同期して、サンプルホールド用スイッチ42及びクランプスイッチ52をオン状態にさせる。これにより、サンプルホールド回路の入力端子に信号電圧VSが印加される。クランプスイッチ52がオン状態なので信号電圧VSはサンプルホールド回路のサンプルホールド用容量44を充電すると共にCDS用容量50も充電する。

## 【0020】

次いで、クランプスイッチ52をオフにしてから、リセット信号RSTを入力してリセットトランジスタ12をオン状態にする。これにより、フォトダイオード10はリセット電位VRにリセットされ、垂直選択線CL1にはリセット電圧VRが出力される。リセット電圧VRはサンプルホールド回路の入力端子に入力されてサンプルホールド用容量44に保持される。

## 【0021】

この結果、CDS用容量50の出力側には信号電圧VSとリセット電圧VRの差に相当する差信号( $VS - VR$ )が生じる。この信号はCDS用容量50によ

り保持される。こうすることにより、信号電圧 $V_S$ 及びリセット電圧 $V_R$ の双方に重畳している固定パターン雑音成分を除去したアナログ画像データを得ることができる。このアナログ画像データは、アンプ54の出力端子から列選択トランジスタ20を介して信号共通出力線30に出力される。

#### 【0022】

本実施の形態におけるアンプ／ノイズキャンセル回路6内には上記サンプルホールド回路及び相関二重サンプリング回路（以下、両回路を合わせてCDS回路という）6CL $n$ が垂直選択線CL $n$ にそれぞれ設けられている。さらに本実施の形態によるCDS回路6CL $n$ には、相関二重サンプリング回路内のCDS用容量50を利用して、水平選択線RW $m$ の延びる方向に並ぶ少なくとも2つの画素同士のアナログ画像データを平均化する回路が設けられている。

#### 【0023】

以下、図3を用いて本実施の形態による画像平均化回路について説明する。まず、図1及び図11に示すように、例えばR（赤）対応の画素領域がP11及びP13であるとし、これら画素領域P11、P13の画像データを平均化処理する場合を例にとって説明する。

#### 【0024】

図3において、回路上段は画素領域P11を含む第1列目の垂直選択線CL1に接続されたCDS回路6CL1を示しており、回路下段は画素領域P13を含む第3列目の垂直選択線CL3に接続されたCDS回路6CL3を示している。CDS回路6CL1、6CL3の回路構成は、図2に示したものと同一であるが説明を容易にするため、CDS回路6CL1側の構成要素には添え字aを付加し、CDS回路6CL3の構成要素には添え字bを付加している。

#### 【0025】

図3に示すように、CDS回路6CL1のCDS用容量50aとアンプ54aとの接続点及びCDS回路6CL3のCDS用容量50bとアンプ54bとの接続点同士は、平均化処理用スイッチ2を介して電氣的に短絡又は開放できるようになっている。このように本実施形態によるCMOSイメージセンサ1は、所定の複数のCDS回路6CL $n$ を平均化処理用スイッチ2を介して接続した構成を

有している。

【0026】

次に、本実施の形態によるアナログ画像データの平均化処理動作について説明する。素子領域  $P_{mn}$  での光電変換動作、及びその後の信号電圧  $V_S$  及びリセット電圧  $V_R$  のサンプリング、さらに固定パターン雑音を相殺する動作は図2を用いて説明したのと同様なので説明は省略する。

【0027】

まず、平均化処理用スイッチ2はオフ状態に設定しておく。ノイズキャンセル動作の終了後のCDS回路6CL1のCDS用容量50aには、画素領域P11の画像データに相当する電荷が蓄えられている。一方、CDS回路6CL3のCDS用容量50bには、画素領域P13の画像データに相当する電荷が蓄えられている。

【0028】

画像データの平均化処理をしない場合には、平均化処理用スイッチ2はオフ状態を維持したままで、水平走査シフトレジスタ8からの列選択信号を受けて列選択用トランジスタ20が順次オン状態になり、1行分のn個のアナログ画素データが順次、信号共通出力線30に出力される。

【0029】

画像データの平均化処理をする場合には、水平走査シフトレジスタ8からの列選択信号の出力が開始されるより以前に平均化処理用スイッチ2をオン状態に切り替える。こうすることにより、CDS回路6CL1のCDS用容量50aとアンプ54aとの接続点及びCDS回路6CL3のCDS用容量50bとアンプ54bとの接続点間が電氣的に短絡して、CDS用容量50aに蓄積された電荷とCDS用容量50bに蓄積された電荷とが平均化される。なお、CDS回路6CL1と6CL3のそれぞれの構成素子はほぼ同一の素子特性を有しており、特に、2つのCDS用容量50a、50bの容量はほとんど同一にしている。これにより、画素領域P11の画像データと画素領域P13の画像データの正確な平均値が得られる。

【0030】

例えば水平選択線  $RW_m$  の延伸方向に、 $x$  個の同色の画素領域  $P$  の組を順次作成して本実施形態による画像平均化回路を構成することにより、例えば図 11 に示す受光面の画素配列を備えた CMOS イメージセンサ 1 の画像データ数を  $1/x$  にすることができる。

## 【0031】

図 3 に示した本実施形態の構成では  $x = 2$  であるから画像データ数を  $1/2$  にすることができる。この場合には、水平走査シフトレジスタ 8 は、通常動作の  $1/2$  のクロック周波数で動作させればよい。また、図 3 において、信号共通出力線 30 に出力する平均化処理された画像データは、2 本の垂直選択線  $CL_1$  と  $CL_3$  のいずれか一方の列選択トランジスタ 20 をオンにしてもよいし、あるいは、両方の列選択トランジスタ 20 を同時にオンにしてもよい。

## 【0032】

## 〔第 2 の実施の形態〕

次に、本発明の第 2 の実施の形態による XY アドレス型固体撮像装置について図 4 を用いて説明する。本実施の形態による XY アドレス型固体撮像装置は、画像平均化回路の構成が異なる点以外は第 1 の実施形態の CMOS イメージセンサ 1 と同様の構成を有している。第 1 の実施形態と同一の作用機能を有する構成要素には同一の符号を付してその説明は省略する。

## 【0033】

図 4 は本実施の形態による画像平均化回路を示している。本実施の形態による CDS 回路 6  $CL_n$  には、垂直選択線  $CL_n$  の延びる方向に並ぶ少なくとも 2 つの画素同士のアナログ画像データを平均化する回路が設けられている。まず、図 1 及び図 11 に示すように、例えば垂直選択線  $CL_1$  の延びる方向に並ぶ R (赤) 対応の画素領域が  $P_{11}$  及び  $P_{31}$  であるとし、これら画素領域  $P_{11}$ 、 $P_{31}$  の画像データを平均化処理する場合を例にとって説明する。

## 【0034】

図 4 に示す CDS 回路 6  $CL_1$  は、CDS 用容量 50 に並列に第 2 CDS 用容量 51 を設け、第 2 CDS 用容量 51 とアンプ 54 との接続点に平均化処理用スイッチ 21 を設けた点に特徴を有している。

## 【 0 0 3 5 】

本実施の形態によるCDS回路6CL1での画像平均化処理動作について説明する。まず、平均化処理用スイッチ21はオン状態に設定しておく。ノイズキャンセル動作の終了後のCDS回路6CL1のCDS用容量50及び第2CDS用容量51の双方には、画素領域P11の画像データに相当する電荷が蓄えられる。

## 【 0 0 3 6 】

次に、平均化処理用スイッチ21をオフにして第2CDS用容量51をフローティング状態にして画素領域P11の電荷を保持させてから、画素領域P31の画像データに相当する電荷をCDS用容量50に蓄積する。なお本例では、画素領域P11から画素領域P31に至る間にある（G用）の画素領域P21については画像データの平均化処理はせず、画素領域P21の電荷はCDS用容量50に蓄積されたらアンプ54、列選択トランジスタ20を介して信号共通出力線30に出力されるものとする。

## 【 0 0 3 7 】

さて、画素領域P31の電荷がCDS用容量50に蓄積されたら、水平走査シフトレジスタ8からの列選択信号の出力が開始されるより以前に平均化処理用スイッチ21をオン状態に切り替える。こうすることにより、CDS用容量50に蓄積された画素領域P31の電荷と第2CDS用容量51に蓄積された画素領域P11の電荷とが平均化される。なお、CDS用容量50と第2CDS用容量51の容量値はほとんど同一である。これにより、画素領域P11の画像データと画素領域P31の画像データの正確な平均値が得られる。

## 【 0 0 3 8 】

図4に示した構成では第2CDS用容量51と平均化処理用スイッチ21の組（R用）を1組だけ用いているが、CDS用容量50及び第2CDS用容量51と並列に接続される第3CDS容量（図示せず）と、第3CDS容量とアンプ54の接続点に設けた平均化処理用スイッチ（図示せず）の組（G用）をCDS回路6CL1にさらに付加してもよい。こうすることにより、垂直選択線CL1上の全ての（R）と（G）の画素に対してそれぞれ一つおきの画素同士の画像デー

タを平均化して表示分解能を  $1/2$  にすることができるようになる。

#### 【0039】

なお、画像データの平均化処理をしない場合には、平均化処理用スイッチ 21 を常時オフ状態にしておけば図 2 に示す CDS 回路 6CLn と実質同一の構成及び動作となるので、垂直走査シフトレジスタ／リセット制御回路 4 からの行選択信号を受けて、1 列分の m 個のアナログ画素データを 1 フレーム期間中に信号共通出力線 30 に出力することができる。

#### 【0040】

##### 〔第 3 の実施の形態〕

次に、本発明の第 3 の実施の形態による XY アドレス型固体撮像装置について図 5 を用いて説明する。本実施の形態による XY アドレス型固体撮像装置は、画像平均化回路の構成が異なる以外は第 2 の実施形態の CMOS イメージセンサ 1 と同様の構成を有している。第 2 の実施形態と同一の作用機能を有する構成要素には同一の符号を付してその説明は省略する。

#### 【0041】

図 5 は本実施の形態による画像平均化回路を示している。図 5 に示す CDS 回路 6CL1 は、第 2 の実施の形態の図 4 に示した構成において、CDS 用容量 50 とアンプ 54 との接続点に平均化処理用スイッチ 22 を付加した点に特徴を有している。

#### 【0042】

本実施の形態による CDS 回路 6CL1 での画像平均化処理動作について説明する。まず、平均化処理用スイッチ 21、22 の双方がオフの状態から平均化処理用スイッチ 22 だけをオン状態にする。これにより、ノイズキャンセル動作の終了後の CDS 回路 6CL1 の CDS 用容量 50 には、画素領域 P11 の画像データに相当する電荷が蓄えられる。

#### 【0043】

次に、平均化処理用スイッチ 22 をオフにし、CDS 用容量 50 をフローティング状態にして画素領域 P11 の電荷を保持させる。次いで、平均化処理用スイッチ 21 をオン状態にする。これにより、ノイズキャンセル動作の終了後の CD



S回路6CL1の第2CDS用容量51には、画素領域P31の画素データに相当する電荷が蓄えられる。なお本例では、画素領域P11から画素領域P31に至る間にある（G用）の画素領域P21については画像データの平均化処理はせず、画素領域P21の電荷はCDS用容量50に蓄積されたらアンプ54、列選択トランジスタ20を介して信号共通出力線30に出力されるものとする。

## 【0044】

画像データの平均化処理をする場合には、水平走査シフトレジスタ8からの列選択信号の出力が開始されるより以前に平均化処理用スイッチ21、22の双方をオン状態に切り替える。こうすることにより、CDS用容量50に蓄積された画素領域P11の電荷と第2CDS用容量51に蓄積された画素領域P31の電荷とが平均化されて、画素領域P11の画像データと画素領域P31の画像データとの正確な平均値が得られる。

## 【0045】

本実施形態も第2の実施形態と同様に、第3CDS用容量と平均化処理用スイッチ（共に図示せず）の組（G用）をCDS回路6CL1に付加してももちろんよく、また、画像データの平均化処理をしない場合には、平均化処理用スイッチ21、22のいずれか一方を常時オフ状態にしておけばよい。

## 【0046】

本実施の形態によれば、CDS用容量50側と第2CDS用容量51側の双方にほぼ同一のスイッチング特性を有する平均化処理用スイッチ21、22を設けているので、図4に示すような平均化処理用スイッチが片方のみに配置されている場合に比較してスイッチングノイズ等による画像平均化信号の劣化を防止できる。

## 【0047】

## 〔第4の実施の形態〕

次に、本発明の第4の実施の形態によるXYアドレス型固体撮像装置について図6を用いて説明する。本実施の形態によるXYアドレス型固体撮像装置は、画像平均化回路の構成が異なる以外は上記実施の形態のCMOSイメージセンサ1と同様の構成を有している。上記実施の形態と同一の作用機能を有する構成要素

には同一の符号を付してその説明は省略する。

【0048】

図6は本実施の形態による画像平均化回路を示している。図6において、回路上段は画素領域P11を含む第1列目の垂直選択線CL1に接続されたCDS回路6CL1を例示しており、回路下段は画素領域P13を含む第3列目の垂直選択線CL3に接続されたCDS回路6CL3を例示している。CDS回路6CL1、6CL3の回路構成は、図4に示したものと同一であるが説明を容易にするため、CDS回路6CL1側の構成要素には添え字aを付加し、CDS回路6CL3の構成要素には添え字bを付加している。

【0049】

図6に示すように、CDS回路6CL1のCDS用容量50aとアンプ54aとの接続点及びCDS回路6CL3のCDS用容量50bとアンプ54bとの接続点同士は、平均化処理用スイッチ2を介して電氣的に接続されている。このように本実施形態によるCMOSイメージセンサ1は、図3に示す構成を基本としてつつCDS用容量の部分を図4の構成に置き換えた回路となっている。

【0050】

次に、本実施の形態によるアナログ画像データの平均化処理動作について説明する。まず、平均化処理用スイッチ2はオフ状態に設定し、平均化処理用スイッチ21a、21bはオン状態に設定しておく。ノイズキャンセル動作の終了後のCDS回路6CL1の第2CDS用容量51aには、画素領域P11の画像データに相当する電荷が蓄えられている。一方、CDS回路6CL3の第2CDS用容量51bには、画素領域P13の画像データに相当する電荷が蓄えられている。

【0051】

次いで、平均化処理用スイッチ21a、21bをオフ状態に設定して、第2CDS用容量51a、51bをフローティング状態にして画素領域P11、P13の電荷をそれぞれ保持させる。

【0052】

次いで、第2番目の水平選択線RW2の画素信号に対するノイズキャンセル動

作に続いて第3番目の水平選択線RW3の画素信号に対するノイズキャンセル動作が終了すると、CDS用容量50aには画素領域P31の画像データに相当する電荷が蓄えられている。一方、CDS用容量50bには、画素領域P33の画像データに相当する電荷が蓄えられている。

## 【0053】

次に、平均化処理用スイッチ21a、21bをオン状態にする。平均化処理用スイッチ21aのオンにより、CDS回路6CL1のCDS用容量50aに蓄積された画素領域P31の電荷と第2CDS用容量51bに蓄積された画素領域P11の電荷とが平均化されて、画素領域P11の画像データと画素領域P31の画像データの正確な平均値 $\alpha$ が得られる。

## 【0054】

一方、平均化処理用スイッチ21bのオンにより、CDS回路6CL3のCDS用容量50bに蓄積された画素領域P33の電荷と第2CDS用容量51bに蓄積された画素領域P13の電荷とが平均化されて、画素領域P13の画像データと画素領域P33の画像データの正確な平均値 $\beta$ が得られる。

## 【0055】

次いで、平均化処理用スイッチ2をオン状態にすると、平均値 $\alpha$ と平均値 $\beta$ との平均値が得られる。これにより、(R)画素領域P11、P13、P31、P33の4つの画像データが平均化される。以上の画像平均化動作は、水平走査シフトレジスタ8からの列選択信号の出力が開始されるより以前に行われる。なお、上述では平均化処理用スイッチ2、21a、21bの開閉動作に時間差を設けて順序付けて説明したが、時間差を設ける必要はなく、平均化処理用スイッチ2、21a、21bを同時にオン状態にして4つの画像データを一度に平均化処理することが可能である。

## 【0056】

また、信号共通出力線30に出力する平均化処理された画像データは、2本の垂直選択線CL1とCL3のいずれか一方の列選択トランジスタ20をオンにしてもよいし、あるいは、両方の列選択トランジスタ20を同時にオンにしてもよい。なお、画像データの平均化処理をしない場合には、平均化処理用スイッチ2

、21a、21bはオフ状態を維持したままにすればよい。

【0057】

本実施の形態によれば、例えば水平選択線RWmの延伸方向に、x個の同色の画素領域Pの組を順次作成して画像平均化回路を構成することにより、例えば図11に示す受光面の画素配列を備えたCMOSイメージセンサ1の画像データ数を水平選択線RWmの延伸方向に $1/x$ にすることができる。

【0058】

また、図6に示した各CDS回路6CL1、6CL3では、第2CDS用容量51a、51bと平均化処理用スイッチ21a、21bの組(R用)を1組だけ用いているが、さらに第3CDS容量と平均化処理用スイッチ(共に図示せず)の組(G用又はB用)を付加してもよい。こうすることにより、垂直選択線CLn上の全ての(R)、(G)、及び(B)の画素に対してそれぞれ一つおきの画素同士の画像データを平均化して画像データ数を垂直選択線CLnの延伸方向に $1/2$ にすることができる。従って、図11に例示する受光面全体の表示分解能を $1/(2x)$ にすることができるようになる。この場合には、水平走査シフトレジスタ8は、通常動作の $1/(2x)$ のクロック周波数で動作させればよい。

【0059】

〔第5の実施の形態〕

次に、本発明の第5の実施の形態によるXYアドレス型固体撮像装置について図7乃至図9を用いて説明する。本実施の形態によるXYアドレス型固体撮像装置は、画像平均化回路の構成が異なる点以外は第4の実施形態の図6に示したCMOSイメージセンサ1と同様の構成を有している。上記実施の形態と同一の作用機能を有する構成要素には同一の符号を付してその説明は省略する。

【0060】

図7は本実施の形態による画像平均化回路を示している。図7に示すように、CDS回路6CL1の第2CDS用容量51aと平均化処理用スイッチ21aとの接続点にアンプ55aの入力端子が接続されている。また、CDS回路6CL3の第2CDS用容量51bと平均化処理用スイッチ21bとの接続点にアンプ55bの入力端子が接続されている。アンプ55a、55bの出力端子は、それ

ぞれに設けられた列選択トランジスタ 2 0 を介して信号共通出力線 3 0 に接続されている。また、C D S 用容量 5 0 a とアンプ 5 4 a の接続点と、C D S 用容量 5 0 b とアンプ 5 4 b の接続点との間に設けられた平均化処理用スイッチ 2 に対応させて、第 2 C D S 用容量 5 1 a とアンプ 5 5 a の接続点と、第 2 C D S 用容量 5 1 b とアンプ 5 5 b の接続点との間にも平均化処理用スイッチ 3 が形成されている。

#### 【 0 0 6 1 】

本実施の形態によれば、C D S 用容量 5 0 a、5 0 b 側と第 2 C D S 用容量 5 1 a、5 1 b 側の双方にほぼ同一の素子特性を有するアンプ 5 4 a、5 4 b、5 5 a、5 5 b、及びそれぞれに列選択トランジスタ 2 0 を設けている。このような回路構成にすることにより、スイッチング素子やアンプの接続点に付加される寄生容量を全て等しい大きさにすることができる。

#### 【 0 0 6 2 】

C D S 用容量 5 0 a、5 0 b 及び第 2 C D S 用容量 5 1 a、5 1 b にそれぞれ蓄積される電荷を正確に平均化するには、複数の信号伝達系内の容量値がどの系でもほぼ同一になることが求められる。本実施形態によれば、C D S 用容量 5 0 a、5 0 b 及び第 2 C D S 用容量 5 1 a、5 1 b が同一の容量を有しているだけでなく、それらに付加される寄生容量を全て等しくできるので、高精度で容量電荷を平均化することが可能になる。

#### 【 0 0 6 3 】

次に、本実施の形態によるアナログ画像データの平均化処理動作について説明する。まず、平均化処理用スイッチ 2、3 はオフ状態に設定し、平均化処理用スイッチ 2 1 a、2 1 b はオン状態に設定しておく。ノイズキャンセル動作の終了後の C D S 回路 6 C L 1 の第 2 C D S 用容量 5 1 a には、画素領域 P 1 1 の電荷が蓄えられている。一方、C D S 回路 6 C L 3 の第 2 C D S 用容量 5 1 b には、画素領域 P 1 3 の電荷が蓄えられている。

#### 【 0 0 6 4 】

次いで、平均化処理用スイッチ 2 1 a、2 1 b をオフ状態に設定して、第 2 C D S 用容量 5 1 a、5 1 b をフローティング状態にして画素領域 P 1 1、P 1 3

の電荷をそれぞれ保持させる。

【0065】

次いで、第2番目の水平選択線RW2の画素信号に対するノイズキャンセル動作に続いて第3番目の水平選択線RW3の画素信号に対するノイズキャンセル動作が終了すると、CDS用容量50aには画素領域P31の電荷が蓄えられている。一方、CDS用容量50bには、画素領域P33の電荷が蓄えられている。

【0066】

次に、平均化処理用スイッチ2、3、21a、21bを同時に全てオン状態にする。これにより、CDS回路6CL1のCDS用容量50aに蓄積された画素領域P31の電荷と、第2CDS用容量51bに蓄積された画素領域P11の電荷と、CDS回路6CL3のCDS用容量50bに蓄積された画素領域P33の電荷と、第2CDS用容量51bに蓄積された画素領域P13の電荷とが平均化されて、(R)画素領域P11、P13、P31、P33の4つの画像データが平均化される。以上の画像平均化動作は、水平走査シフトレジスタ8からの列選択信号の出力が開始されるより以前に行われる。なお、画像データの平均化処理をしない場合には、平均化処理用スイッチ2、3、21a、21bはオフ状態を維持したままにすればよい。

【0067】

本実施の形態においても、第4の実施の形態と同様に、例えば図11に示す受光面の画素配列を備えたCMOSイメージセンサ1の画像データ数を水平選択線RWmの延伸方向に $1/x$ にすることができる。また、第3CDS容量と平均化処理用スイッチの組(G用又はB用)を付加することにより、画像データ数を垂直選択線CLnの延伸方向に $1/2$ にすることができる。従って、図11に例示する受光面全体の表示分解能を $1/(2x)$ にすることができるようになる。

【0068】

図8は、図7に示した画像平均化回路をより具体的に示している。図8において、アンプ54a、54b、55a、55bは、定電流源40とn-chMOSFET60を用いたソースフォロワアンプであり、また列選択トランジスタ20はn-chMOSFETで構成されている。

## 【0069】

また、容量電荷を平均化するための各スイッチは、p-chMOSFETのみで構成されている。図8において、平均化処理用スイッチ2、3、21a、21bは、p-chMOSFETのアナログスイッチ回路62を有している。アナログスイッチ回路62のp-chMOSFETのソース電極及びドレイン電極には、p-chMOSFETからなるノイズキャンセル回路64がそれぞれ接続されている。ノイズキャンセル回路64のp-chMOSFETはソース／ドレイン電極が短絡されており、また、素子サイズがアナログスイッチ回路62のp-chMOSFETのほぼ1/2の大きさに形成されている。アナログスイッチ回路62のp-chMOSFETのゲート電極に所定電圧の制御信号 $\phi$ が印加され、ノイズキャンセル回路64のp-chMOSFETのゲート電極には、制御信号 $\phi$ と逆極性の制御信号 $\phi$ （“/”は逆極性を示す）が印加されるようになっている。

## 【0070】

これにより、アナログスイッチ回路62のp-chMOSFETの入力端子側のゲート入力容量に起因するノイズ成分は、アナログスイッチ回路62の入力端子側に接続されたノイズキャンセル回路64のp-chMOSFETの容量成分で相殺される。また、アナログスイッチ回路62のp-chMOSFETの出力端子側のゲート入力容量に起因するノイズ成分は、アナログスイッチ回路62の出力端子側に接続されたノイズキャンセル回路64のp-chMOSFETの容量成分で相殺される。

## 【0071】

図9は、図8に示した画像平均化回路の変形例を示している。図9に示す画像平均化回路は、図8に示した平均化処理用スイッチ2、3からノイズキャンセル回路64を除去してアナログスイッチ回路62だけにした点を除き同一構成である。

## 【0072】

図9に示す画像平均化回路は、4画素分の画像データを平均化処理する際に、既に説明したように、平均化処理用スイッチ2、3、21a、21bは全て同時

にオンになる。従って、平均化処理用スイッチ2のアナログスイッチ回路62のp-chMOSFETの一端子側のゲート入力容量に起因するノイズ成分は、平均化処理用スイッチ21aのアナログスイッチ回路62の一端子側に接続されたノイズキャンセル回路64のp-chMOSFETの容量成分で相殺することができる。

同様に、平均化処理用スイッチ2のp-chMOSFETの他端子側のゲート入力容量に起因するノイズ成分は、平均化処理用スイッチ21bの一端子側のノイズキャンセル回路64で相殺することができる。

#### 【0073】

また、平均化処理用スイッチ3のアナログスイッチ回路62のp-chMOSFETの一端子側のゲート入力容量に起因するノイズ成分は、平均化処理用スイッチ21bのアナログスイッチ回路62の他端子側に接続されたノイズキャンセル回路64のp-chMOSFETの容量成分で相殺することができる。

同様に、平均化処理用スイッチ3のp-chMOSFETの他端子側のゲート入力容量に起因するノイズ成分は、平均化処理用スイッチ21aの他端子側のノイズキャンセル回路64で相殺することができる。

#### 【0074】

従って、平均化処理用スイッチ2、3からノイズキャンセル回路64を除去してアナログスイッチ回路62だけにすることができる。こうすることにより、さらに素子面積を小さくすることが可能になる。

#### 【0075】

以上説明したように、上記実施の形態によれば、画像データをCMOSイメージセンサ内でアナログ信号として平均化することができる。このため、外部装置としてデジタル処理系や記憶装置を用意する必要がなくなるので設計効率を向上させることができるようになる。

#### 【0076】

また、画像平均化に用いる第2CDS用容量51は、チップ内に既に存在する容量を利用することができる。例えば、CDS回路6CLnの初段アンプ48、48a、48bの入力側あるいは出力側の容量を利用することができる。従って



、上記実施の形態による画像平均化回路を有するCMOSイメージセンサは、平均化処理用スイッチ2、3、21の大きさだけの面積増加で済むので、論理部及び記憶部を必要とする従来品と比較してチップ面積を大幅に縮小させ、且つ製造コストを抑えて画像平均化処理ができるようになる。

## 【0077】

さらに、画像データの平均化は、平均化しない場合に比較して $S/N$ （信号対ノイズ）比が $1/\sqrt{2}$ 倍になるため画質の向上に寄与する。

## 【0078】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、画素領域Pは、1つの光電変換素子に3つのトランジスタからなるAPS構成であるが、本発明はこれに限らず、他のAPS構成、例えば、転送ゲートとFD（フローティングディフュージョン）領域を備え4又は5個のトランジスタを配置したCMOSイメージセンサにも適用可能である。

## 【0079】

また、上記実施の形態では、平均化処理用スイッチ2、3、21a、21bは、p-chMOSFETのアナログスイッチ回路62と、そのスイッチングノイズをキャンセルするためのp-chMOSFETからなる2つのノイズキャンセル回路64を用いた構成にしているが、本発明はこれに限られない。例えば、図10に示すように、p-chMOSFETとn-chMOSFETのソース電極同士、及びドレイン電極同士を接続したアナログスイッチ回路70を用いてももちろんよい。

## 【0080】

この場合において、アナログスイッチ回路70の入力側のスイッチングノイズを相殺するために、ノイズキャンセル回路72がアナログスイッチ回路70の入力側に接続される。また、アナログスイッチ回路70の出力側のスイッチングノイズを相殺するために、ノイズキャンセル回路74がアナログスイッチ回路70の出力側に接続される。ノイズキャンセル回路72、74は、アナログスイッチ回路70のp-chMOSFET及びn-chMOSFETの半分の素子サイズ

の  $p\text{-}ch\text{MOSFET}$  と  $n\text{-}ch\text{MOSFET}$  とを組み合わせて構成される。ノイズキャンセル回路 72 の  $p\text{-}ch\text{MOSFET}$  と  $n\text{-}ch\text{MOSFET}$  のソース電極及びドレイン電極同士は共通接続され、さらにソース電極及びドレイン電極間は短絡している。ノイズキャンセル回路 74 も同様の接続構成を有している。

## 【0081】

アナログスイッチ回路 70 の  $p\text{-}ch\text{MOSFET}$  のゲート電極には所定電圧の制御信号  $\phi$  が印加され、アナログスイッチ回路 70 の  $n\text{-}ch\text{MOSFET}$  のゲート電極には、制御信号  $\phi$  が印加されるようになっている。ノイズキャンセル回路 72、74 の  $p\text{-}ch\text{MOSFET}$  のゲート電極はアナログスイッチ回路 70 の  $n\text{-}ch\text{MOSFET}$  のゲート電極と共通接続され、ノイズキャンセル回路 72、74 の  $n\text{-}ch\text{MOSFET}$  のゲート電極はアナログスイッチ回路 70 の  $p\text{-}ch\text{MOSFET}$  のゲート電極と共通接続されている。

## 【0082】

これにより、アナログスイッチ回路 70 でのスイッチング時に発生するスイッチングノイズのうち、アナログスイッチ回路 70 の  $n\text{-}ch\text{MOSFET}$  の入力端子側のゲート入力容量に起因するノイズ成分はノイズキャンセル回路 72 の  $p\text{-}ch\text{MOSFET}$  の容量成分で相殺され、また、アナログスイッチ回路 70 の  $p\text{-}ch\text{MOSFET}$  の入力端子側のゲート入力容量に起因するノイズ成分は、ノイズキャンセル回路 72 の  $n\text{-}ch\text{MOSFET}$  の容量成分で相殺される。

## 【0083】

同様にして、アナログスイッチ回路 70 の  $n\text{-}ch\text{MOSFET}$  の出力端子側のゲート入力容量に起因するノイズ成分はノイズキャンセル回路 74 の  $p\text{-}ch\text{MOSFET}$  の容量成分で相殺され、また、アナログスイッチ回路 70 の  $p\text{-}ch\text{MOSFET}$  の出力端子側のゲート入力容量に起因するノイズ成分は、ノイズキャンセル回路 74 の  $n\text{-}ch\text{MOSFET}$  の容量成分で相殺される。

## 【0084】

以上説明した実施の形態による XY アドレス型固体撮像装置は、以下のようにまとめられる。

(付記 1)

複数の水平選択線と垂直選択線とで画定される領域にマトリクス状に配列され、入射光を光電変換する光電変換素子と、前記光電変換素子に蓄積された電荷を画像データに変換する増幅器と、所定の前記水平選択線に出力された水平選択信号に基づいて前記画像データを所定の前記垂直選択線に出力する水平選択スイッチとをそれぞれ備えた複数の画素領域と、

前記複数の画素領域の少なくとも 2 つから出力される前記画像データを平均化処理する画像平均化回路と

を有することを特徴とする X Y アドレス型固体撮像装置。

【 0 0 8 5 】

(付記 2)

付記 1 記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記所定の水平選択線上にある前記複数の画素領域の前記画像データを平均化処理すること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 8 6 】

(付記 3)

付記 1 又は 2 に記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記所定の垂直選択線上にある前記複数の画素領域の前記画像データを平均化処理すること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 8 7 】

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において、

前記画像データに重畳するノイズを除去するノイズキャンセル回路をさらに有し、

前記画像平均化回路は、前記ノイズキャンセル回路内に配置されていることを特徴とする X Y アドレス型固体撮像装置。

【 0 0 8 8 】

(付記 5)

付記 4 記載の X Y アドレス型固体撮像装置において、

前記ノイズキャンセル回路は、ノイズ除去後の前記画像データに対応する電荷を第 1 の容量に保持する相関二重サンプリング回路を前記垂直選択線毎に有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 8 9 】

(付記 6)

付記 5 記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、複数の前記第 1 の容量を接続して複数の前記電荷を平均化する第 1 の平均化処理用スイッチを有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 9 0 】

(付記 7)

付記 4 乃至 6 のいずれか 1 項に記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記第 1 の容量に並列に挿入された第 2 の容量を前記相関二重サンプリング回路内に有していること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 9 1 】

(付記 8)

付記 7 記載の X Y アドレス型固体撮像装置において、

前記第 2 の容量は、前記相関二重サンプリング回路内に設けられたアンプの入力側又は出力側の容量であること

を特徴とする X Y アドレス型固体撮像装置。

【 0 0 9 2 】

(付記 9)

付記 7 又は 8 に記載の X Y アドレス型固体撮像装置において、

前記画像平均化回路は、前記第 2 の容量を前記相関二重サンプリング回路から電氣的に接続／切断する第 2 の平均化処理用スイッチを有していること

を特徴とするXYアドレス型固体撮像装置。

【0093】

(付記10)

付記9記載のXYアドレス型固体撮像装置において、

前記画像平均化回路は、前記第1の容量を前記相関二重サンプリング回路から電氣的に接続／切断する第3の平均化処理用スイッチを有していること

を特徴とするXYアドレス型固体撮像装置。

【0094】

(付記11)

付記7乃至10のいずれか1項に記載のXYアドレス型固体撮像装置において

前記第1の平均化処理用スイッチは、複数の前記第1及び第2の容量を接続して複数の前記電荷を平均化すること

を特徴とするXYアドレス型固体撮像装置。

【0095】

(付記12)

付記11記載のXYアドレス型固体撮像装置において、

少なくとも前記第1及び第2の平均化処理用スイッチは、ほぼ同時に動作して前記複数の電荷を平均化すること

を特徴とするXYアドレス型固体撮像装置。

【0096】

(付記13)

付記12記載のXYアドレス型固体撮像装置において、

前記第1及び第2の平均化処理用スイッチは、n-chMOSFETとp-chMOSFETを組み合わせたアナログスイッチ回路を有していること

を特徴とするXYアドレス型固体撮像装置。

【0097】

(付記14)

付記12記載のXYアドレス型固体撮像装置において、

前記第 1 及び第 2 の平均化処理用スイッチは、 $n\text{-chMOSFET}$ 又は $p\text{-chMOSFET}$ のいずれか一方からなるアナログスイッチ回路を有していること

を特徴とするXYアドレス型固体撮像装置。

【0098】

(付記 15)

付記 13 又は 14 に記載のXYアドレス型固体撮像装置において、

前記アナログスイッチ回路のスイッチングノイズを低減するように、前記アナログスイッチ回路の入出力側に接続され、ソース/ドレイン電極を短絡させたMOSFETからなるスイッチングノイズキャンセル回路がさらに配置されていること

を特徴とするXYアドレス型固体撮像装置。

【0099】

(付記 16)

付記 15 記載のXYアドレス型固体撮像装置において、

1つの前記スイッチングノイズキャンセル回路の大きさは、前記アナログスイッチ回路のほぼ $1/2$ であること

を特徴とするXYアドレス型固体撮像装置。

【0100】

【発明の効果】

以上の通り、本発明によれば、チップ面積が増大せず、且つ製造コストを抑えて画像平均化処理のできるXYアドレス型固体撮像装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態によるCMOSイメージセンサ 1 の $4 \times 4$ 画素分の回路例を示す図である。

【図 2】

本発明の第 1 の実施の形態によるCMOSイメージセンサ 1 のサンプルホールド回路及び相関二重サンプリング回路の回路例を示す図である。

【図 3】

本発明の第 1 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の回路例を示す図である。

【図 4】

本発明の第 2 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の回路例を示す図である。

【図 5】

本発明の第 3 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の回路例を示す図である。

【図 6】

本発明の第 4 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の回路例を示す図である。

【図 7】

本発明の第 5 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の回路例を示す図である。

【図 8】

本発明の第 5 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の具体的な回路例を示す図である。

【図 9】

本発明の第 5 の実施の形態による CMOS イメージセンサ 1 の画像平均化回路の別の具体的な回路例を示す図である。

【図 1 0】

本発明の第 5 の実施の形態における平均化処理用スイッチ 2、3、2 1 a、2 1 b の他の構成例を示す図である。

【図 1 1】

CMOS イメージセンサの受光面の画素配列を模式的に示す図である。

【符号の説明】

- 1 CMOS イメージセンサ
- 2、3、2 1 平均化処理用スイッチ

4 垂直走査シフトレジスタ／リセット制御回路

6 アンプ／ノイズキャンセル回路

8 水平走査シフトレジスタ

1 0 フォトダイオード

1 2 リセットトランジスタ

1 4 ソースフォロワアンプ

1 6 水平選択トランジスタ

2 0 列選択トランジスタ

3 0 信号共通出力線

3 2、4 8、5 4、5 5 アンプ

4 0 定電流電源

4 2 サンプルホールド用スイッチ

4 4 サンプルホールド用容量

4 6 基準電圧源

5 0 C D S 用容量

5 1 第 2 C D S 用容量

5 2 クランプスイッチ

6 2、7 0 アナログスイッチ回路

6 4、7 2、7 4 ノイズキャンセル回路

C L 1 ~ C L 4、C L n 垂直選択線

P 1 1 ~ P 4 4、P m n 画素領域

R S T リセット信号

R S T 1 ~ R S T 4、R S T m リセット信号線

R W 1 ~ R W 4、R W n 水平選択線

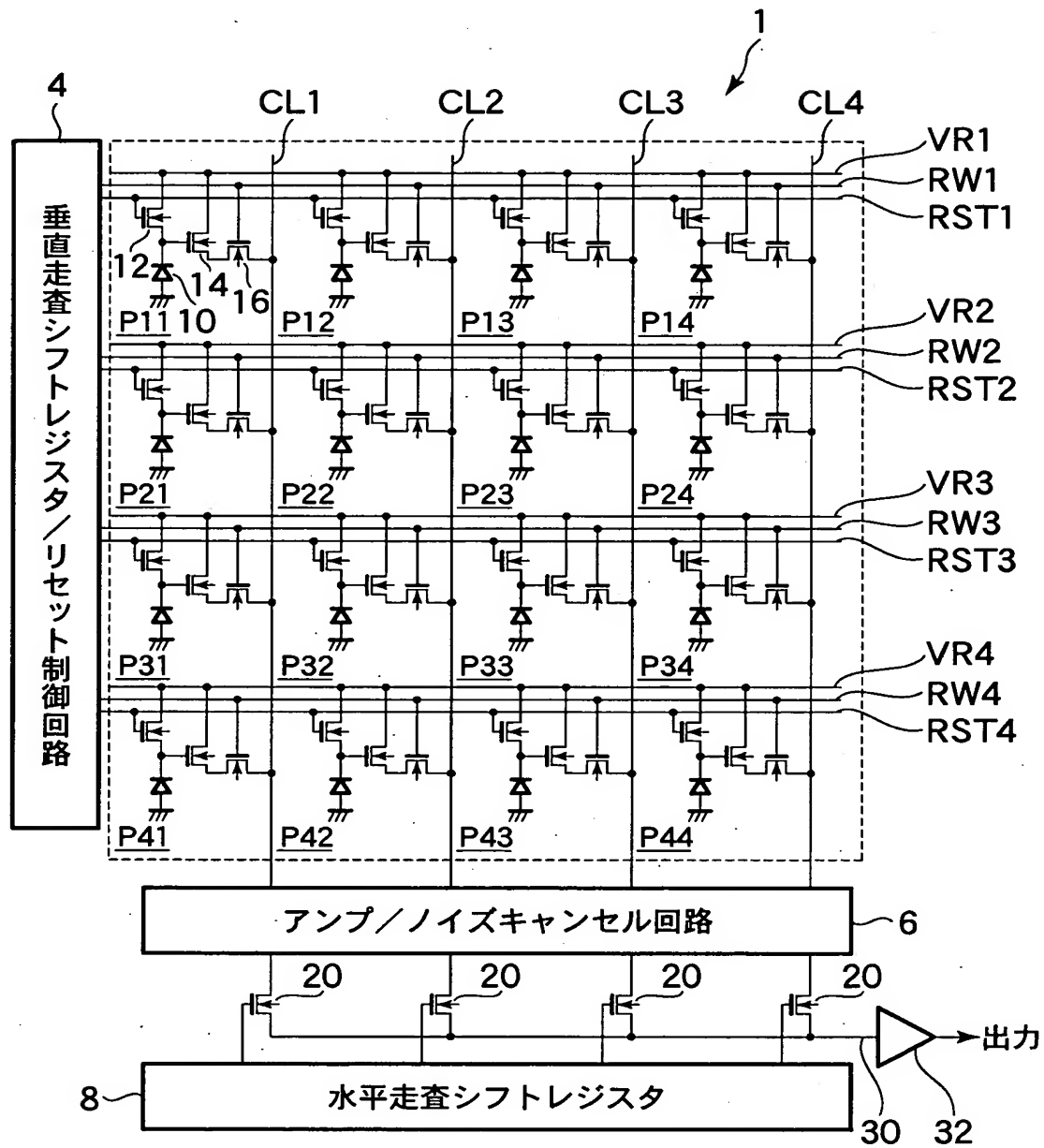
V R リセット電圧

V R m リセット電圧供給線

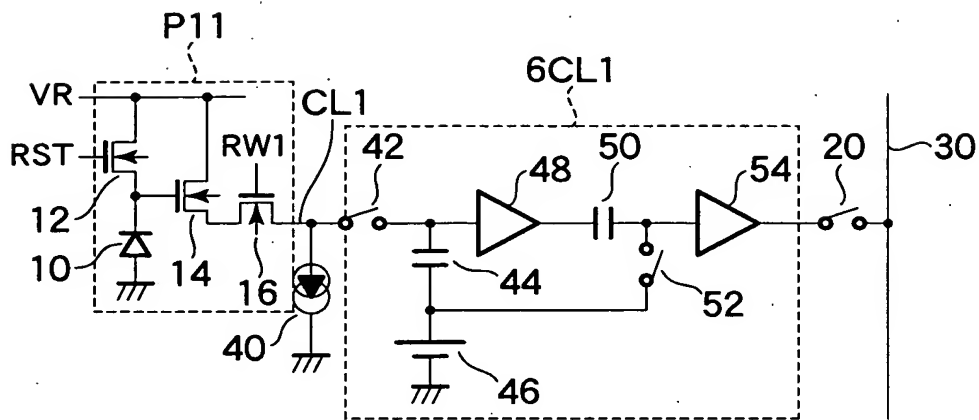


【書類名】 図面

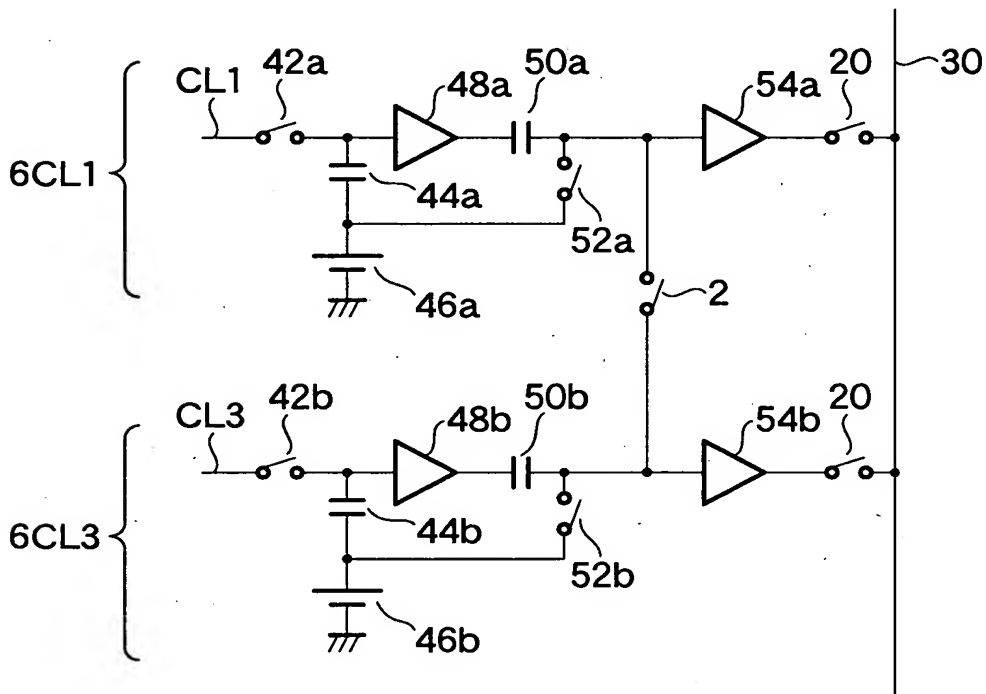
【図 1】



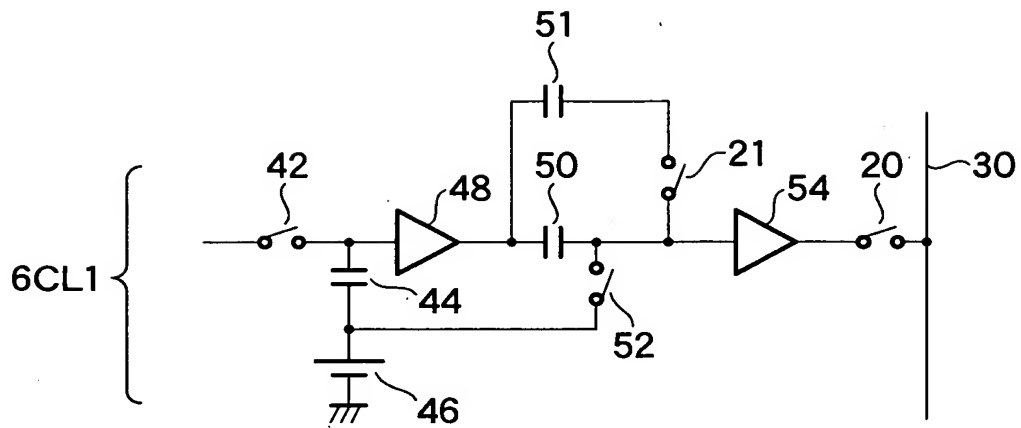
【図 2】



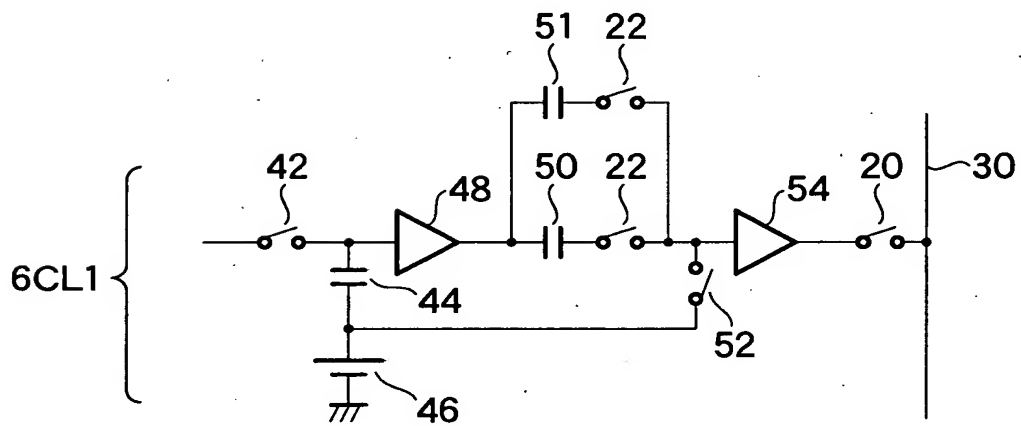
【図 3】



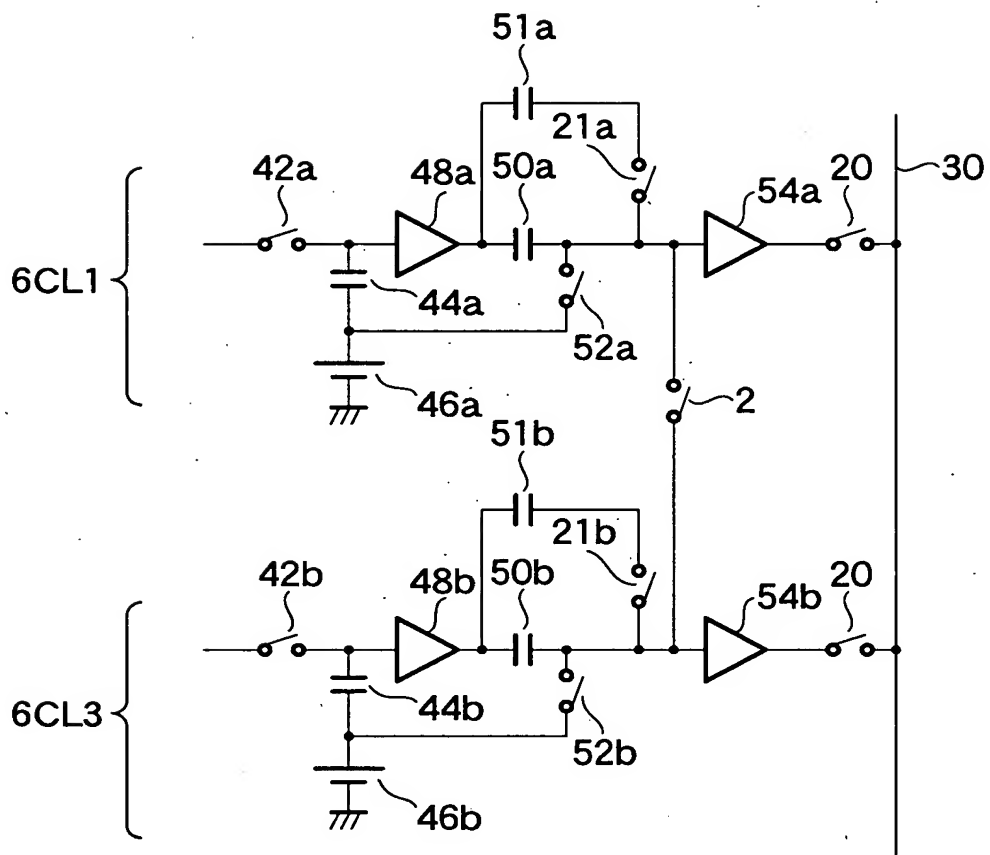
【図 4】



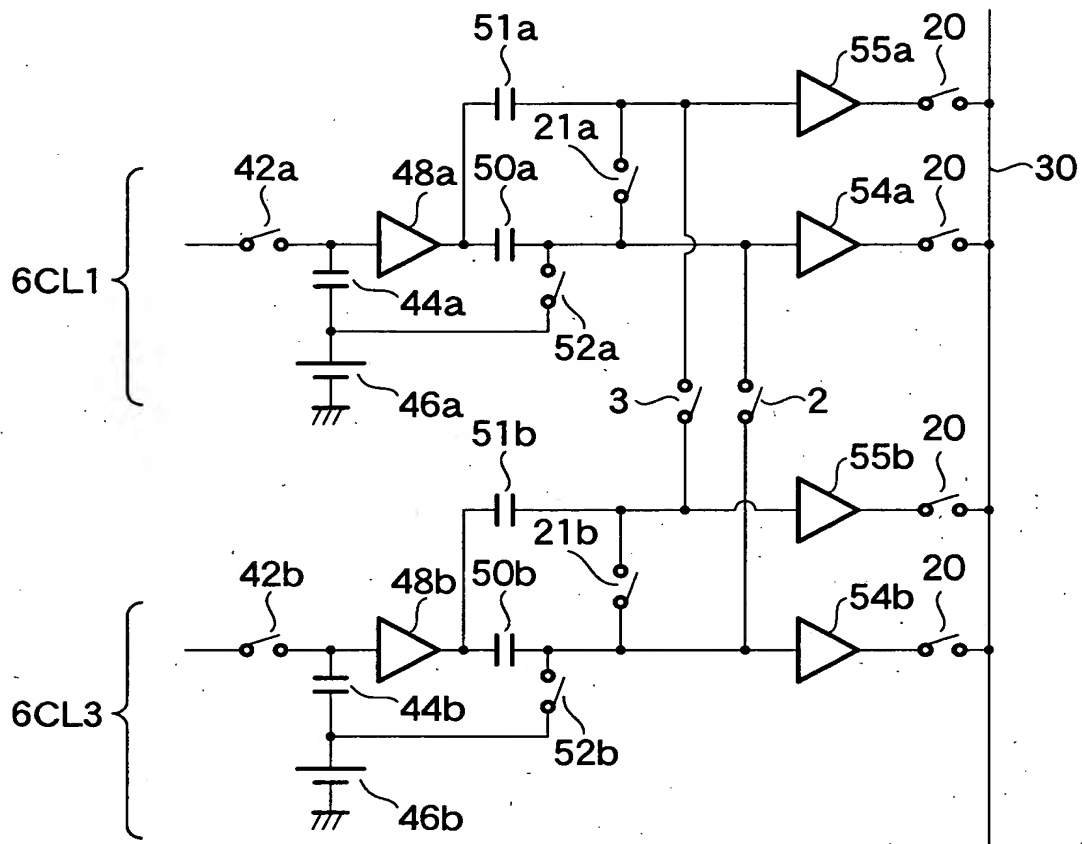
【図 5】



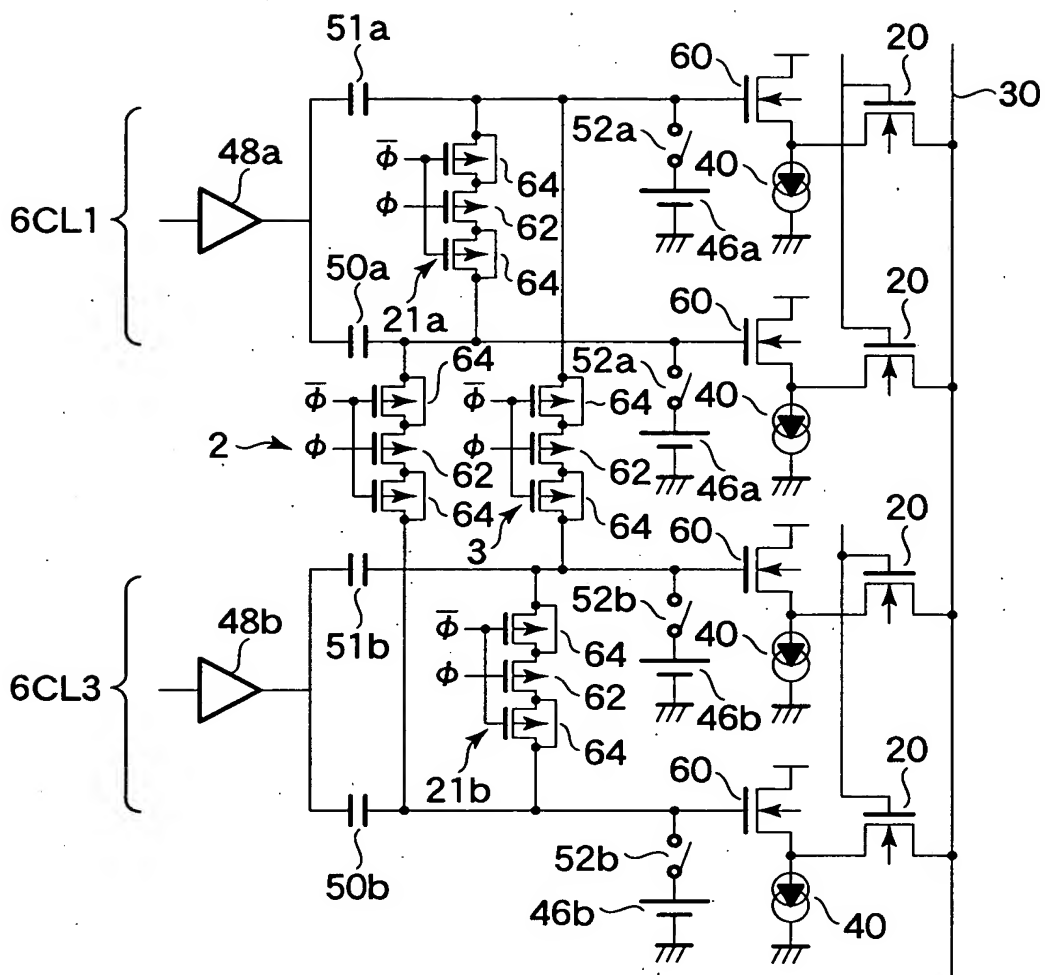
【図 6】



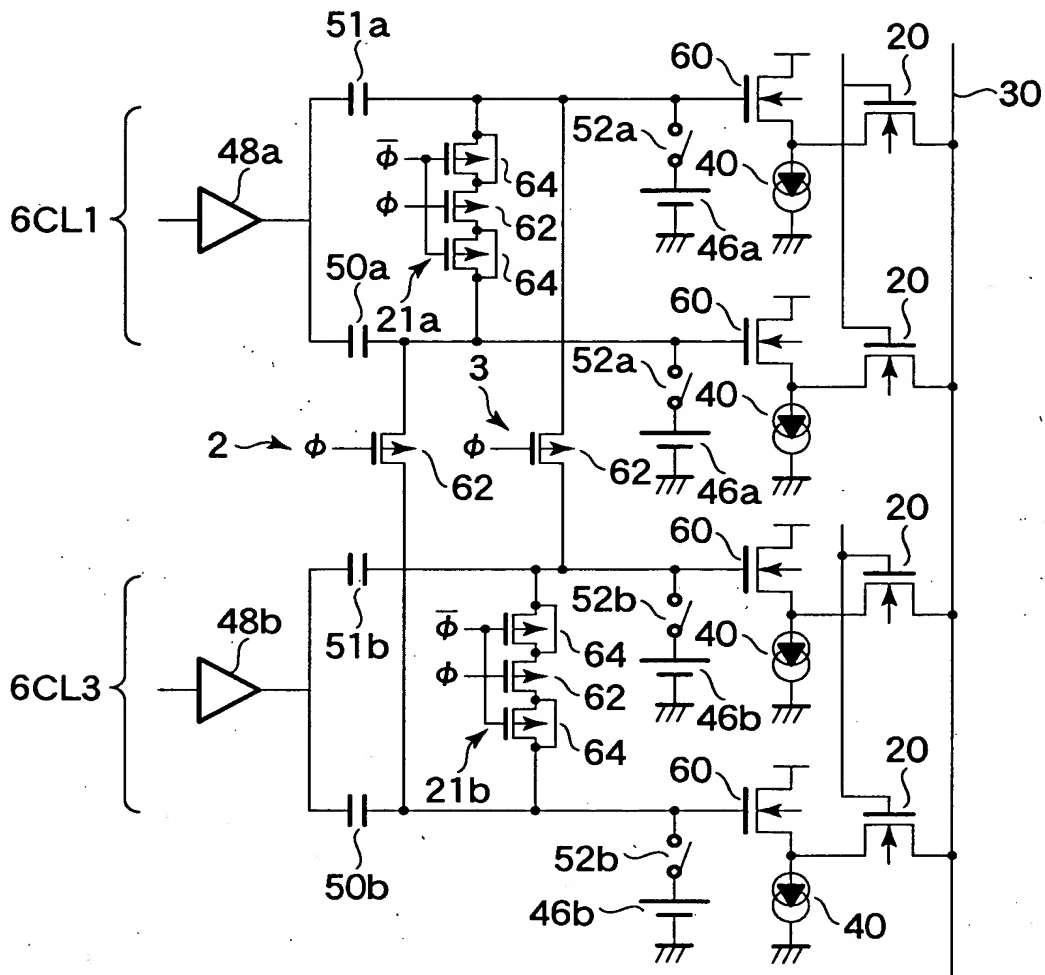
【図 7】



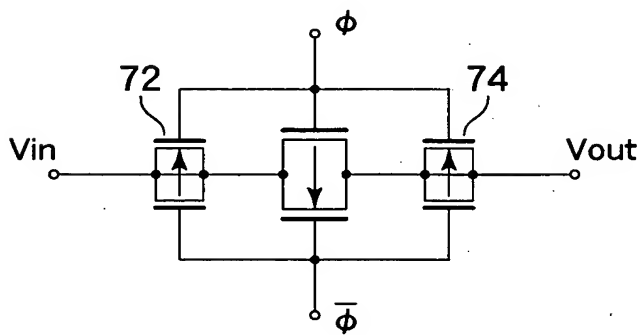
【図 8】



【図 9】



【図 10】



【図 11】





【書類名】 要約書

【要約】

【課題】 本発明は、CMOSプロセスで製造されるXYアドレス型固体撮像装置に関し、チップ面積が増大せず、且つ製造コストを抑えて画像平均化処理のできるXYアドレス型固体撮像装置を提供することを目的とする。

【解決手段】 水平選択線RW<sub>m</sub>と垂直選択線CL<sub>n</sub>とで画定される領域に画素領域P<sub>m n</sub>がマトリクス状に配列されている。画素領域P<sub>m n</sub>は、フォトダイオード10と、フォトダイオード10の電荷を電圧に変換して増幅し、画像データを出力するソースフォロワンプ14と、画像データを所定の垂直選択線CL<sub>n</sub>に出力する水平選択トランジスタ16とを備えている。アンプ／ノイズキャンセル回路6内には、複数の画素領域P<sub>m n</sub>の少なくとも2つから出力される画像データを平均化処理する画像平均化回路が内蔵されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社